

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-117821

(43) Date of publication of application : 17.04.1992

H03M 13/12

H04L 1/22

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

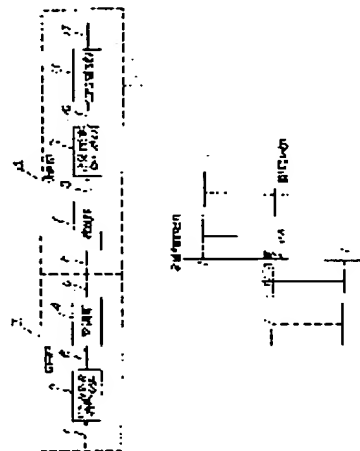
(72) Inventor :- ASANO NOBUO
KATO OSAMU

(54) DATA TRANSMITTER

(57) Abstract:

PURPOSE: To suppress the arithmetic quantity for metric calculation and the increase in the circuit scale by inhibiting the metric calculation as to a bit of a tri-state check output being 'indefinite' by a tri-state check section and applying hard discrimination decoding to a bit of a tri-state check output being '1' and '-1' by the tri-state check section.

CONSTITUTION: A tri-state check output 10 obtained through tri-state check by a tri-state discrimination section 9 is inputted to a Viterbi decoding section 11. Thus, the Viterbi decoding section 11 applies decoding to a detection output 8 according to the Viterbi algorithm based on the entered tri-state check output 10. The decoding by the Viterbi decoding section 11 is implemented similarly to the case with hard discrimination and only when the tri-state check output 10 is 'indefinite', the metric calculation in the decoding by the Viterbi algorithm is inhibited. Thus, the error improvement effect of the same degree as that of the soft discrimination is provided regardless of the arithmetic quantity of the similar degree to the case with that of the hard discrimination. Moreover, the tri-state discrimination section 9 is provided in place of a conventional A/D converter to make the circuit scale small and to reduce current consumption.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted

searching : Ac
registration]

[Date of final disposal for
application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2000 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-117821

⑤ Int. Cl.⁵H 03 M 13/12
H 04 L 1/22

識別記号

庁内整理番号

7259-5 J
7189-5 K

⑬ 公開 平成4年(1992)4月17日

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 データ伝送装置

⑮ 特 願 平2-237506

⑯ 出 願 平2(1990)9月7日

⑰ 発 明 者 浅 野 延 夫 神奈川県横浜市港北区綱島東4丁目3番1号 松下通信工業株式会社内

⑱ 発 明 者 加 藤 修 神奈川県横浜市港北区綱島東4丁目3番1号 松下通信工業株式会社内

⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地

⑳ 代 理 人 弁理士 小鍛治 明 外2名

明 細 書

1. 発明の名称

データ伝送装置

2. 特許請求の範囲

送信部に、

送信データをたたみ込み符号化するたたみ込み符号化部と、

このたたみ込み符号化データを変調し送信する変調部と、

を設けると共に、

受信部に、

受信入力を検波する検波部と、

この検波部による検波出力の振幅確率密度分布により常時最適な値が設定される二つのしきい値を用いて、それら2つのしきい値の間に挟まれたビットを不定と判定すると共に、それら2つのしきい値に挟まれないビットを確定と判定する3値判定を行う3値判定部と、

上記不定と判定されたビットに関してはメトリック計算を禁止したビタビ硬判定復号を行い、

明細書の浄書(内容に変更なし)

上記確定と判定されたビットに関しては通常のビタビ硬判定復号を行って受信データを入力するビタビ復号部と

を設けたデータ伝送装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は、ディジタル移動通信、無線通信等に使用するデータ伝送装置に関する。

従来の技術

第4図は、従来のデータ伝送装置の構成を示している。第4図において、1は送信データ、2は送信データ1をたたみ込み符号化し、たたみ込み符号化データ3を出力するたたみ込み符号化部である。

4はたたみ込み符号化データ3を変調し送信出力5を出力する変調部である。かくして、たたみ込み符号化部2と変調部4とにより送信部Tを構成している。

また、6は受信入力、7は受信入力6を検波して検波出力8を出力する検波部である。20は

この検波出力 8 を n ビットで量子化し、アナログ／デジタル（以下、A/D と記す）変換出力 21 を出力する A/D 変換部である。

22 は、A/D 変換出力 21 をビタビアルゴリズムを用いて軟判定復号し、受信データ 23 を出力するビタビ復号部である。かくして、検波部 7、A/D 変換部 20、及びビタビ復号部 22 により受信部 r を構成している。

次に、上記従来例の動作について説明する。第 4 図において、送信データ 1 がたたみ込み符号化部 2 に出力されると、そこで受信データ 1 をたたみ込み符号化して、たたみ込み符号化データ 3 が出力される。

このたたみ込み符号化データ 3 は変調部 4 に送られ、この変調部 4 では入力されたたたみ込み符号化データ 3 を変調して、送信出力 5 を送信部 T から出力する。

一方、受信部 r では、この送信出力 5 を受信入力 6 として受信し、その受信入力 6 を検波部 7 に入力し検波して、検波出力 8 を A/D 変換部 20

に出力する。

A/D 変換部 20 は検波出力 8 を n ビットで量子化して、A/D 変換出力 21 を出力する。この A/D 変換部 20 の入出力特性は、第 5 図に示すように、雑音のない理想的な検波出力の識別点での最大振幅を ± 1 とし、その間を $(2^n - 1)$ 段階に等分し、実際に入力する検波出力を量子化する。

この A/D 変換部 20 で A/D 変換した A/D 変換出力 21 はビタビ復号部 22 でビタビアルゴリズムを用いて軟判定復号して、受信データ 12 を出力する。

このように、上記従来例のデータ伝送装置でも識別点ごとに細かく量子化するので、ある程度細かい軟判定ビタビ復号を行うことができる。

発明が解決しようとする課題

しかしながら、上記従来例のデータ伝送装置では軟判定復号を行うため、メトリック計算のための演算量が硬判定復号に比べ増加するという問題があった。

- 3 -

さらに、軟判定復号するために、 n ビット A/D 変換部 20 が必要となり、回路規模が大きくなるという問題もあった。

本発明は上記従来例の問題を解決するものであり、メトリック計算のための演算量が硬判定復号と同程度であり、回路規模の増大も抑えられ、しかも誤り軽減効果が軟判定復号と同程度である優れたデータ伝送装置を提供することを目的とする。

課題を解決するための手段

上記目的を達成するために本発明は、送信部に、

送信データをたたみ込み符号化するたたみ込み符号化部と、

このたたみ込み符号化データを変調し送信する変調部と、

を設けると共に、

受信部に、

受信入力を検波する検波部と、

この検波部による検波出力の振幅確率密度分布

- 4 -

により常時最適な値が設定される二つのしきい値を用いて、それら二つのしきい値の間に挟まれたビットを不定と判定すると共に、それら二つのしきい値に挟まれないビットを確定と判定する 3 値判定を行う 3 値判定部と、

上記不定と判定されたビットに関してはメトリック計算を禁止したビタビ硬判定復号を行い、上記確定と判定されたビットに関しては通常のビタビ硬判定復号を行って受信データを出力するビタビ復号部と、

を設ける構成とした。

作用

従って本発明によれば、3 値判定部で不定と判定されたビットに対するメトリック計算の禁止を可能とし、また、後段のビタビ復号部での復号における誤り軽減効果も軟判定復号と同程度得られるという効果を有し、かつ回路規模を抑えることができ、結果的に消費電流を減らせるという効果も有する。

実施例

- 5 -

- 6 -

第1図は、本発明の一実施例の構成を示すものである。第1図において、先の第4図と同一の要素には、第4図で付したものと同一の引用符号を付し、その説明を省略する。

そして、第1図において9は、検波出力8を「1」、「-1」、及び、「1」と「-1」の間の「不定」、という3値判定を行い、3値判定出力10を出力する3値判定部である。

また、11は、上記3値判定部9による3値判定出力10が「不定」であるビットについてはメトリック計算を禁止する一方、上記3値判定出力10が「1」及び「-1」であるビットについては、ビタビアルゴリズムを用いて硬判定復号を行い、受信データ12を出力するビタビ復号部である。かくして、検波部7、3値判定部9、ビタビ復号部11とにより受信部Rを構成している。

次に、上記実施例の同例について説明する。上記実施例において、送信部Tにおいてたたみ込み符号化部2に送信データ1が入力されると、このたたみ込み符号化部2でたたみ込み符号化して、

たたみ込み符号化データ3を変調部4に出力し、変調部4でこのたたみ込み符号化データ3を変調して、送信出力5を受信部Rに出力する。

受信部Rでは、この送信出力を受信入力として受信し、検波部7に出力し、検波部7で検波して検波出力8を3値判定部9に出力する。検波出力8は3値判定部9において、以下に示すような、検波出力8の振幅確率密度分布により常時最適な値が設定される2つのしきい値 α_H 、 α_L (但し、 $\alpha_H > \alpha_L$)との比較により、「1」、「-1」、「1」と「-1」の間の「不定」、のいずれかに判定される。

第2図は、3値判定部9における入力である検波出力8と3値判定出力10との関係を示す式、即ち、3値判定部9の入出力特性を示すものである。下式において、検波出力8を X_i 、3値判定出力10を Y_i と表すと、

$$X_i > \alpha_H \text{ のとき、} Y_i = 1$$

$$\alpha_H > X_i > \alpha_L \text{ のとき、} Y_i = 0 \text{ (不定)}$$

$$\alpha_L > X_i \text{ のとき、} Y_i = -1$$

- 7 -

となる。

ここで、上記2つのしきい値 α_L 、 α_H の値は、 $-1 < \alpha_L < 0$ 、 $0 < \alpha_H < 1$ であり、その値は先に述べたように、回線に加わる雑音によって決まる検波出力8の振幅確率密度分布から最適な値があらかじめ設定される、可変値となっている。

第3図は、回線で加法特性ガウス雑音が加わった時の、検波出力の振幅確率密度分布の例である。

上記のような3値判定部9による3値判定により得られる3値判定出力10をビタビ復号部11に入力することにより、ビタビ復号部11では、入力された3値判定出力10に基づいて、検波出力8のビタビアルゴリズムによる復号が行われる。

このビタビ復号部11における復号は硬判定のときと同様に行えばよいが、上記3値判定出力10が「不定」であるビットのときだけは、ビタビアルゴリズムによる復号におけるメトリックの計算を禁止するものとする。

- 9 -

- 8 -

このように、上記実施例によれば、3値判定部9において「1」、「-1」のどちらにも判定がつかないビットは「不定」として扱い、この「不定」と判定されたビットに関するビタビ復号時には、そのビットに対するメトリックの計算を禁止するので、硬判定と同程度の演算量でありながら軟判定と同程度の誤り改善効果を有する。

また、従来のA/D変換器の代わりに3値判定部9を設けることにより、オペレーショナルアンプを多く必要とする上記A/D変換器よりも回路規模を小さくすることができ、消費電流が軽減できるという効果も有する。

発明の効果

本発明は上記実施例より明らかなように、送信部に、

送信データをたたみ込み符号化するたたみ込み符号化部と、

このたたみ込み符号化データを変調し送信する変調部と、

を設けると共に、

- 10 -

受信部に、

受信入力を検波する検波部と、

この検波部による検波出力の振幅確率密度分布により常時最適な値が設定される二つのしきい値を用いて、それら2つのしきい値の間に挟まれたビットを不定と判定すると共に、それら2つのしきい値に挟まれないビットを確定と判定する3値判定部と、

上記不定と判定されたビットに関してはメトリック計算を禁止したビタビ復号判定復号を行い、上記確定と判定されたビットに関しては通常のビタビ復号判定復号を行って受信データを出力するビタビ復号部と、

を設ける構成とした。

このため、3値判定部で不定と判定されたビットに対するメトリック計算の禁止を可能とし、また、後段のビタビ復号部での復号における誤り軽減効果も軟判定復号と同程度得られるという効果を有し、かつ回路規模を抑えることができ、結果的に消費電流を減らせるという効果も有する。

4. 図面の簡単な説明

第1図は、本発明の一実施例におけるデータ伝送装置の概略ブロック図、第2図は、第1図のデータ伝送装置における3値判定部の入出力特性の説明図、第3図は、第1図のデータ伝送装置における検波部の検波出力の確率密度分布を示す説明図、第4図は、従来のデータ伝送装置の概略ブロック図、第5図は、第4図のデータ伝送装置におけるA/D変換部の入出力特性の説明図である。

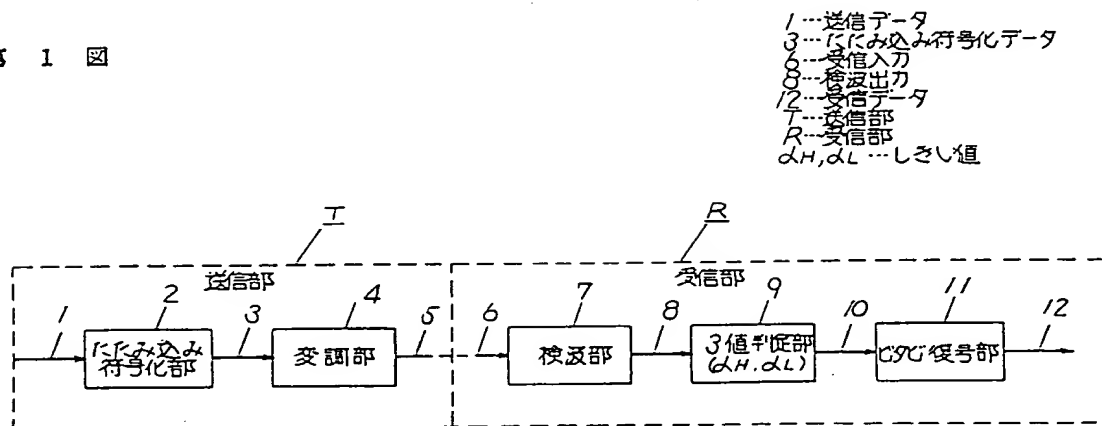
1…送信データ、2…たたみ込み符号化部、3…たたみ込み符号化データ、4…変調部、6…受信入力、7…検波部、8…検波出力、9…3値判定部、11…ビタビ復号部、12…受信データ、T…送信部、R…受信部、 α_H 、 α_L …しきい値。

代理人の氏名 弁理士 小 殿 治 明 ほか2名

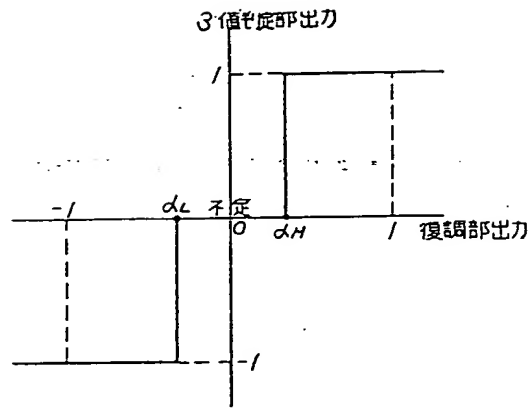
- 1 1 -

- 1 2 -

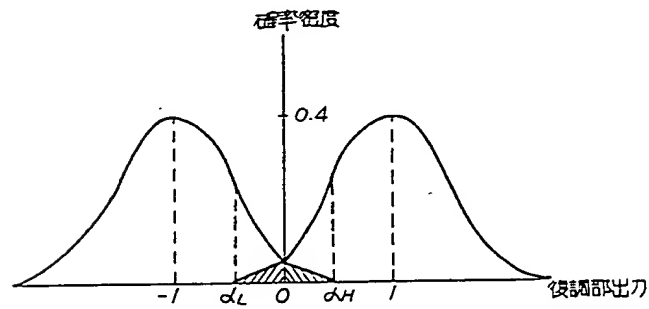
第 1 図



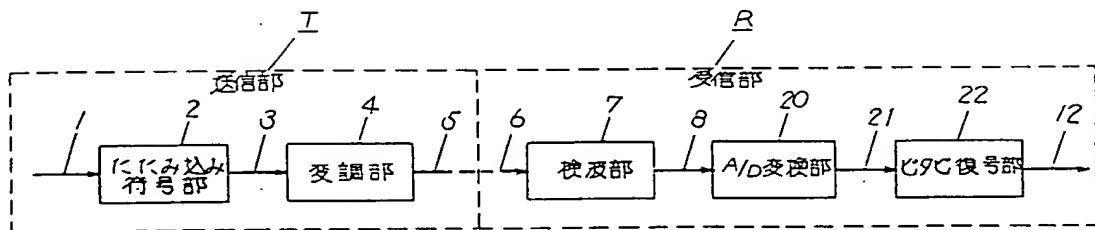
第 2 図



第 3 図



第 4 図



手続補正書(方式)

平成 2 年 1 2 月 1 3 日

特許庁長官殿

1 事件の表示

平成

昭和

2 年 特 許 願 第 2 3 7 5 0 6 号

2 発 明 の 名 称

データ伝送装置

3 補正をする者

事件との関係

特 許 出 願 人

住 所

大阪府門真市大字門真1006番地

名 称

(582) 松下電器産業株式会社

代 表 者

谷 井 昭 雄

4 代 理 人

〒 5 7 1

住 所

大阪府門真市大字門真1006番地

松下電器産業株式会社内

氏 名

(7242) 弁理士 小 鍛 治 明

(ほか 2 名)

(連絡先 電話(03)434-9471 知的財産権センター)

5 補正命令の日付

平成2年11月27日

6 補 正 の 対 象

明細書

7 補 正 の 内 容

明細書第2頁を別紙の通り補正いたします。(内添え紙)

第 5 図

